

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

Integrated circuit with built-in self-test device

Patent Number: DE19835258

Publication date: 2000-02-10

Publication date: 2000-02-10
Inventor(s): SCHAMBERGER FLORIAN (DE); KAISER ROBERT (DE); KRASSER HANS-JUERGEN (DE)

Applicant(s): SIEMENS AG (DE)

Requested Patent: ☒ DE19835258

Application Number: DE19981035258 19980804

Priority Number(s): DE19981035258 19980804

IPC Classification: G06F11/27

EC Classification: G11C29/00B2B1, G11C29/00B2B2

Equivalents:

Abstract

Integrated circuit includes a self-test device (1) and a program store (2) connected to at least one external terminal (3) of the circuit for loading an external test program (T) into the program store. The self-test device (1) is connected to the program store (2), and carries out a test program (T) loaded into the program store as a sequence of program commands (C) according to address. The input (4) of the self-test device (1) receives an interrupt signal (I) for interrupting a test program (T) already being carried out, where the address-sequential program commands (C) of the test program are not carried out by the self-test device, but a program jump within the test program is carried out, via the interrupt signal.

Data supplied from the esp@cenet database - 12

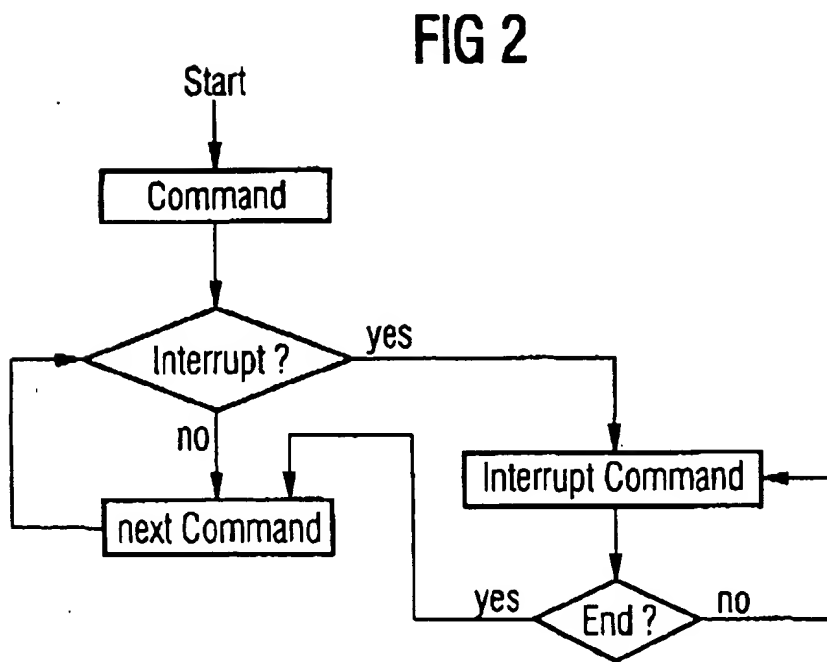
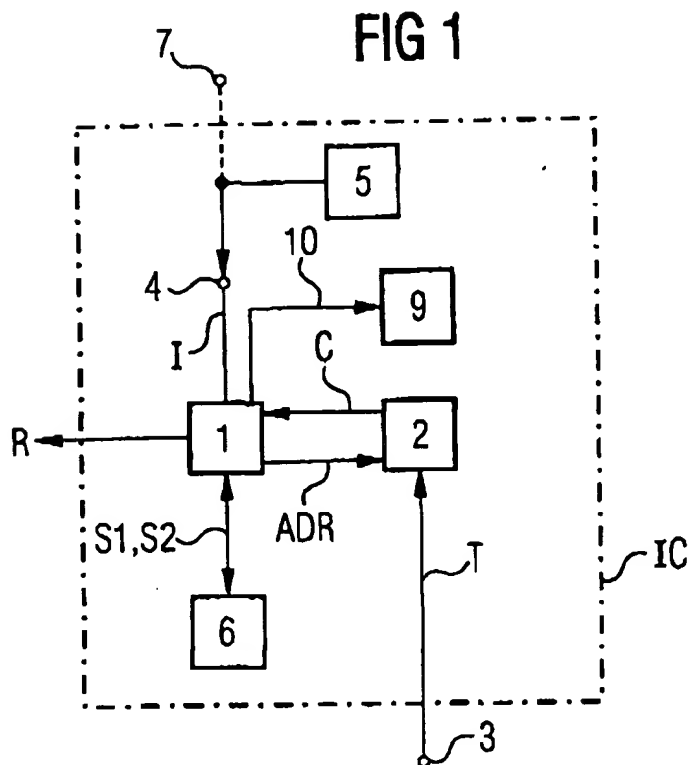
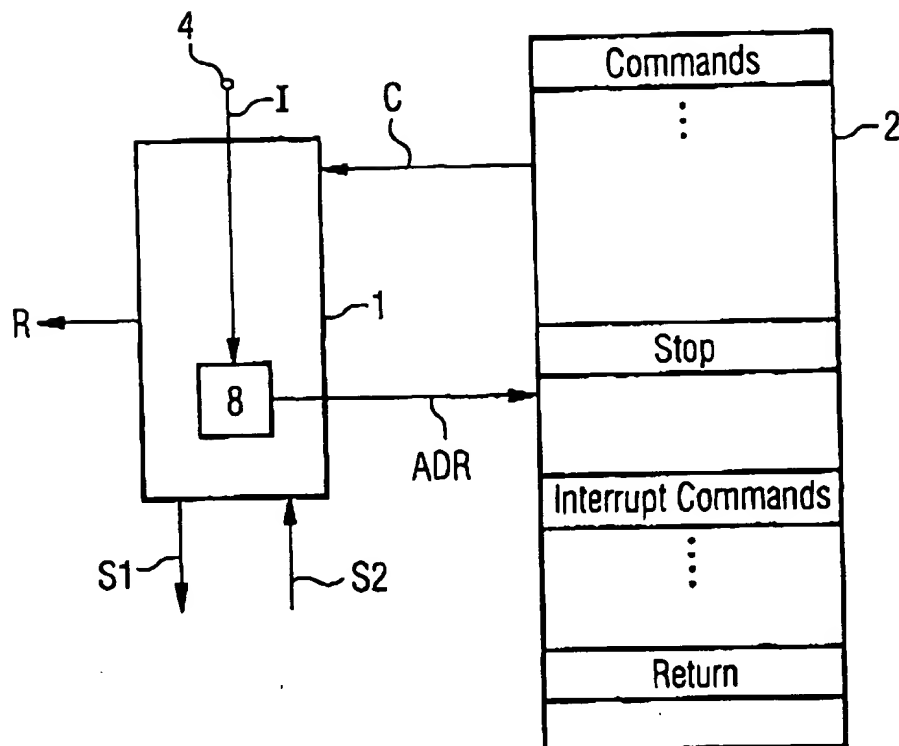


FIG 3



Description

Die Erfindung betrifft eine integrierte Schaltung mit einer Selbsttesteinrichtung.

In der US 5,173,906-A ist eine integrierte Schaltung mit einer Selbsttesteinrichtung (built-in self-test) beschrieben. Die Selbsttesteinrichtung führt in einer Testbetriebsart eine Überprüfung bestimmter Schaltungskomponenten der integrierten Schaltung durch. Gleichzeitig führt sie einen Soll-Ist-Vergleich von der zu überprüfenden Schaltungseinheit erzeugten Signalen durch. Während der Überprüfung werden Fehler von der Selbsttesteinrichtung registriert. Nach Abschluss der Überprüfung werden ein oder mehrere Ergebnissignale von der Selbsttesteinrichtung nach ausserhalb der integrierten Schaltung gegeben, die angeben, inwieweit Fehler während der Durchführung der Selbstüberprüfung aufgetreten sind.

Eine Selbsttesteinrichtung kann entweder mittels verdrahteter Logik realisiert sein oder mittels einer programmierbaren Logik beziehungsweise mittels eines Controllers, die beziehungsweise in einen Programmspeicher der integrierten Schaltung ladbare Testprogramme ausführt. Im letztgenannten Fall arbeitet die Selbsttesteinrichtung ein im Programmspeicher befindliches Testprogramm Befehl für Befehl ab, ohne dass Einfluss auf den Programmablauf genommen werden kann.

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltung mit einer Selbsttesteinrichtung und einem Programmspeicher zum Speichern eines von extern ladbaren Testprogrammes für Selbsttesteinrichtung anzugeben, bei dem eine Einflussnahme auf den Ablauf des Testprogrammes möglich ist.

Diese Aufgabe wird mit einer integrierten Schaltung gemäss Patentanspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand abhängiger Ansprüche.

Die erfindungsgemässe integrierte Schaltung zeichnet sich dadurch aus, dass ihre Selbsttesteinrichtung einen Eingang für ein Interrupt-Signal aufweist, aufgrund dessen sie die Ausführung eines gerade auszuführenden Testprogrammes unterbricht, indem nicht den jeweils adressenmässig folgenden Programmbefehl des Testprogrammes ausführt, sondern einen durch das Interrupt-Signal ausgelösten Programmsprung innerhalb des Testprogrammes ausführt.

Das Vorsehen einer Interrupt-Möglichkeit während der Ausführung eines Testprogrammes durch die Selbsttesteinrichtung ermöglicht vorteilhaft eine Beeinflussung des Testverlaufs. Das Interrupt-Signal kann entweder der integrierten Schaltung extern zugeführt werden, so dass beispielsweise ein Betreiber der integrierten Schaltung oder eine externe Testeinrichtung auf den Programmablauf Einfluss nehmen kann, oder on-chip generiert werden. Im letztgenannten Fall kann der Interrupt in Abhängigkeit bestimmter Betriebszustände bzw. bestimmter auf der integrierten Schaltung generierter Signale ausgelöst werden. Die Erfindung eignet sich zur Anwendung bei beliebigen Arten von integrierten Schaltungen, beispielsweise bei Logikschaltungen oder Speicherschaltungen.

Nach einer Weiterbildung der Erfindung ist die integrierte Schaltung eine dynamische Speicherschaltung mit Speicherzellen, bei der das Interrupt-Signal einen Programmsprung zu Programmbefehlen auslöst, bei deren Ausführung die Selbsttesteinrichtung einen Refresh der Speicherzelleninhalte durchführt. Die Weiterbildung bietet den Vorteil, dass ein Speicherzellen-Refresh durch die Selbsttesteinrichtung durchgeführt wird und somit hierfür keine zusätzlichen Einrichtungen vorgesehen werden müssen. Speicherzellen von dynamischen Speicherschaltungen (DRAMs) werden üblicherweise als 1-Transistor-Speicherzellen realisiert. Aufgrund des Leckstromes ihres Speicherkondensators ist es notwendig, die gespeicherte Information regelmässig wieder aufzufrischen. Dies wird als Refresh bezeichnet. Indem die Selbsttesteinrichtung den Refresh durchführt, erfolgt eine zeitlich optimierte Abstimmung von jeweils auszuführendem Testprogramm und dem Refresh. Dies insbesondere günstig, wenn die Speicherzellen im Rahmen des Testprogrammes durch die Selbsttesteinrichtung überprüft werden. Prüfen und Refreshen der Speicherzellen erfolgt dann durch die Selbsttesteinrichtung.

Nach einer Weiterbildung weist die integrierte Schaltung eine Zeitmessenrichtung zur Generierung des Interrupt-Signals auf. Diese kann dann vorteilhafterweise so dimensioniert werden, dass das Interrupt-Signal in gewünschten, regelmässigen zeitlichen Abständen generiert wird. Daher eignet sich diese Weiterbildu insbesondere für die Generierung des Interrupt-Signals zur Auslösung eines durch die

Selbsttesteinrichtung durchgeführten Refreshs. Bekanntlich wird ein Refresh zyklisch wiederholt.

Das Interrupt-Signal kann unter anderem auch dazu dienen, dass gerade von der Selbsttesteinrichtung bearbeitete Testprogramm bei Bedarf vorzeitig zu beenden. Ausserdem kann es dazu dienen, das gerade ausgeführte Testprogramm zu unterbrechen, die Selbsttesteinrichtung zu initialisieren und anschliessend erneut mit der Bearbeitung des Programms am Programmanfang zu beginnen.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert.

Fig. 1 zeigt ein Ausführungsbeispiel der Erfindung.

Fig. 2 zeigt ein Ablaufdiagramm zum Ausführungsbeispiel aus Fig. 1, und

Fig. 3 zeigt einen detaillierteren Ausschnitt aus Fig. 1.

In Fig. 1 ist eine integrierte Schaltung IC mit einer Selbsttesteinrichtung 1 und einem Programmspeicher 2 sowie einer Zeitmessenrichtung 5 und einer durch die Selbsttesteinrichtung 1 zu testenden Schaltungseinheit 6 dargestellt. Der Programmspeicher 2 dient zum Speichern von Testprogrammen T, die über Anschlüsse 3 der integrierten Schaltung IC von ausserhalb dieser zuführbar sind. Die Selbsttesteinrichtung 1 ist mit dem Programmspeicher 2 in der Weise verbunden, dass über die Selbsttesteinrichtung mittels Adressen ADR angesprochene Programmbefehle C des jeweils im Programmspeicher 2 gespeicherten Testprogrammes T von diesem an die Selbsttesteinrichtung 1 übermittelt werden, die diese dann ausführt. Entsprechend dem jeweils zu bearbeitenden Programmbefehl C führt die Selbsttesteinrichtung 1 der zu testenden Schaltungseinheit 6 Testsignale S1 zu und empfängt als Reaktion darauf von dieser Ausgangssignale S2. Weiterhin führt die Selbsttesteinrichtung 1 einen Soll-/Ist-Vergleich der von der zu testenden Schaltungseinheit 6 übermittelten Ausgangssignale S2 mit erwarteten Werten durch und übermittelt entsprechende Ergebnissignale R nach ausserhalb der integrierten Schaltung IC. Bei diesem Ausführungsbeispiel übermittelt die Selbsttesteinrichtung 1 erst nach Abschluss eines jeweils zu bearbeitenden Testprogrammes T ein Ergebnissignal R nach ausserhalb der integrierten Schaltung, welches angibt, ob während der Ausführung des Tests ein Fehler aufgetreten ist oder nicht (Fail/No Fail-Signal). Bei anderen Ausführungsbeispielen ist es auch möglich, dass auch während der Ausführung des Testprogrammes ständig Ergebnissignale von der Selbsttesteinrichtung 1 ausgegeben werden. Ausserdem ist es möglich, dass die Ergebnissignale detailliertere Informationen beinhalten als lediglich diejenige, ob ein Test bestanden wurde oder nicht. Diese zusätzliche Informationen betreffen z. B. Anzahl, Art und/oder Ort der aufgetretenen Fehler.

Die Selbsttesteinrichtung 1 in Fig. 1 weist weiterhin einen Eingang 4 für ein Interrupt-Signal I auf. Wird das Interrupt-Signal I aktiviert, führt dies dazu, dass die Selbsttesteinrichtung 1 die Abarbeitung des im Programmspeicher 2 gespeicherten Testprogrammes T unterbricht und einen Programmsprung durchführt.

Fig. 2 ist zu entnehmen, dass die Selbsttesteinrichtung 1 nach dem Programmstart die Programmbefehle (Command) C nacheinander abarbeitet, sofern kein Interrupt durch das Interrupt-Signal eingeleitet wird. Wird ein Interrupt eingeleitet, wird statt des nächstfolgenden Programmbefehles ein Interrupt-Programmbefehl ausgeführt, der durch einen Programmsprung innerhalb des abzuarbeitenden Testprogrammes T erreicht wird. Anschliessend werden nachfolgende Interrupt-Programmbefehle ausgeführt, bis das Unterprogramm beendet wurde. Anschliessend erfolgt ein Rücksprung zum jeweils nächstfolgenden regulären Programmbefehl.

Fig. 3 sind noch einmal die Selbsttesteinrichtung 1 und der Programmspeicher 2 aus Fig. 1 zu entnehmen. Die Selbsttesteinrichtung 1 weist einen Befehlszähler 8 auf, der die Adressen ADR zur Adressierung der einzelnen Programmbefehle C generiert. Die Abarbeitung des im Programmspeicher 2 gespeicherten Testprogramms beginnt mit dem an der niedrigsten Adresse befindlichen Programmbefehl, das heisst am Beginn des Testprogramms. Daraufhin werden die einzelnen Programmbefehle, die über den Befehlszähler 8 adressiert werden, in die Selbsttesteinrichtung 1 geladen und von dieser ausgeführt. Sofern das Interrupt-Signal I nicht aktiviert wird, wird das Testprogramm ohne Unterbrechung bis zum Ende durchlaufen. Tritt dagegen ein Interrupt auf, erfolgt durch den Befehlszähler 8 eine Umadressierung, so dass der Programmsprung zu den Interrupt-Programmbefehlen erfolgt. Nach deren Abarbeitung erfolgt durch einen Return-Befehl der Rücksprung in das Hauptprogramm.

Während bei anderen Ausführungsbeispielen der Erfindung das Interrupt-Signal I über einen externen

Anschluss 7 der integrierten Schaltung IC zugeführt wird, so dass von extern auf die Ausführung des Testprogramms durch die Selbsttesteinrichtung 1 Einfluss genommen werden kann, weist im vorliegenden Fall die integrierte Schaltung IC die Zeitmesseinrichtung 5 auf, die in regelmässigen zeitlichen Abständen das Interrupt- Signal I liefert beziehungsweise aktiviert. Bei diesem Ausführungsbeispiel wird jedesmal bei Auftreten des Interrupt- Signales ein Refresh von dynamischen Speicherzellen der integrierten Schaltung IC durchgeführt. Das bedeutet, dass die Interrupt-Programmbefehle einen durch die Selbsttesteinrichtung 1 ausgelösten Refresh der Speicherzellen ermöglichen. Die Selbsttesteinrichtung 1 liefert entsprechende Steuersignal 10, die für einen derartigen Refresh benötigt werden, an ein Speicherzellenfeld 9 der integrierten Schaltung IC. Bei anderen Ausführungsbeispielen der Erfindung kann das Speicherzellenfeld 9 auch Teil der zu testenden Schaltungseinheit 6 sein oder mit dieser übereinstimmen. Die Selbsttesteinrichtung 1 dient in solchen Fällen sowohl zum Testen der Speicherzellen als auch zur Durchführung des Speicherzellen-Refreshs.

Der Interrupt des Testprogrammes ermöglicht beliebige reguläre Programmbefehle innerhalb des Testprogrammes in beliebiger Reihenfolge vorzusehen, wobei der Refresh der Speicherzellen immer sichergestellt ist, sofern das entsprechende Interrupt- Unterprogramm Bestandteil desselben ist. Hierdurch wird eine grosse Flexibilität der Gestaltung des Testprogrammes erreicht.

Data supplied from the esp@cenet database - l2